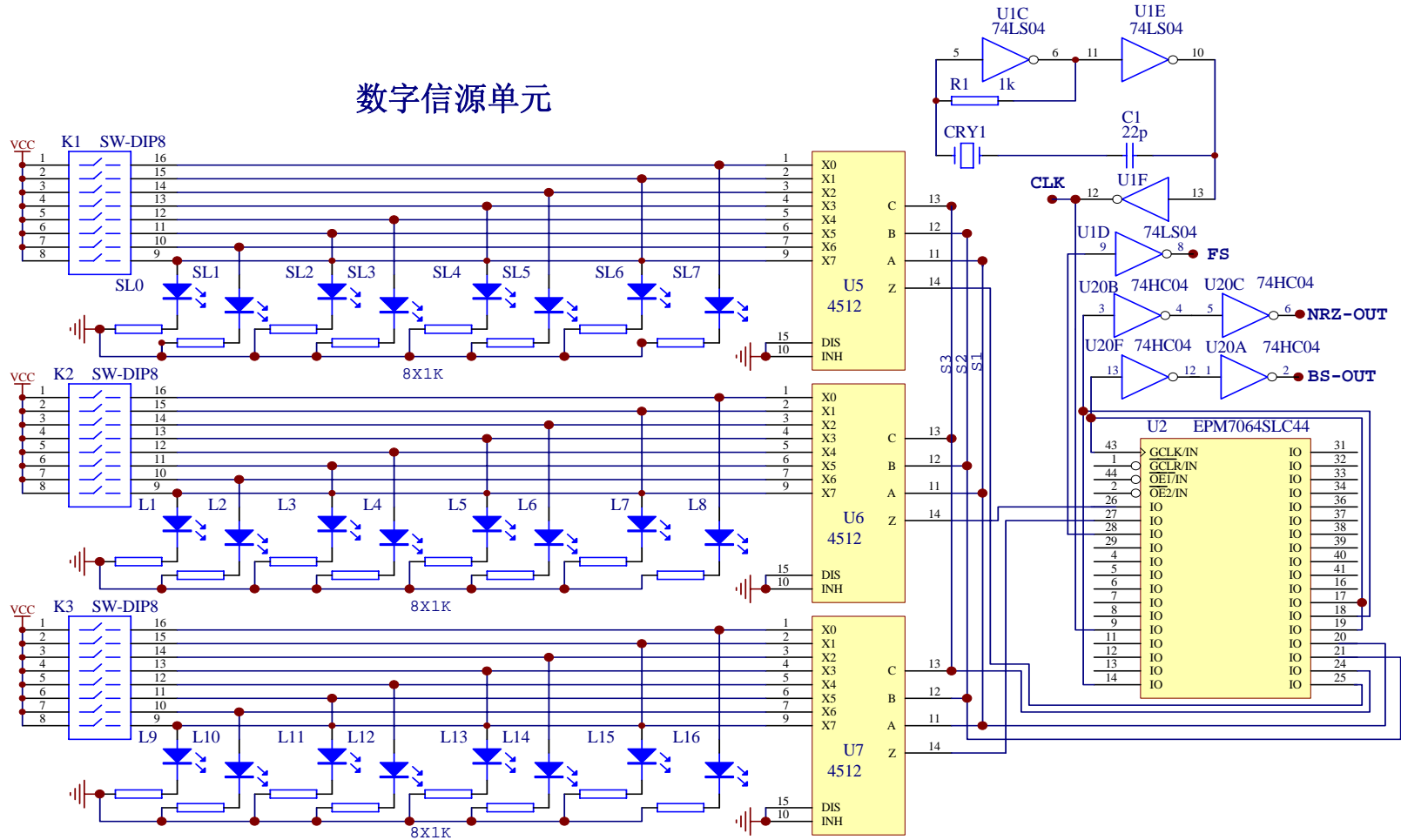
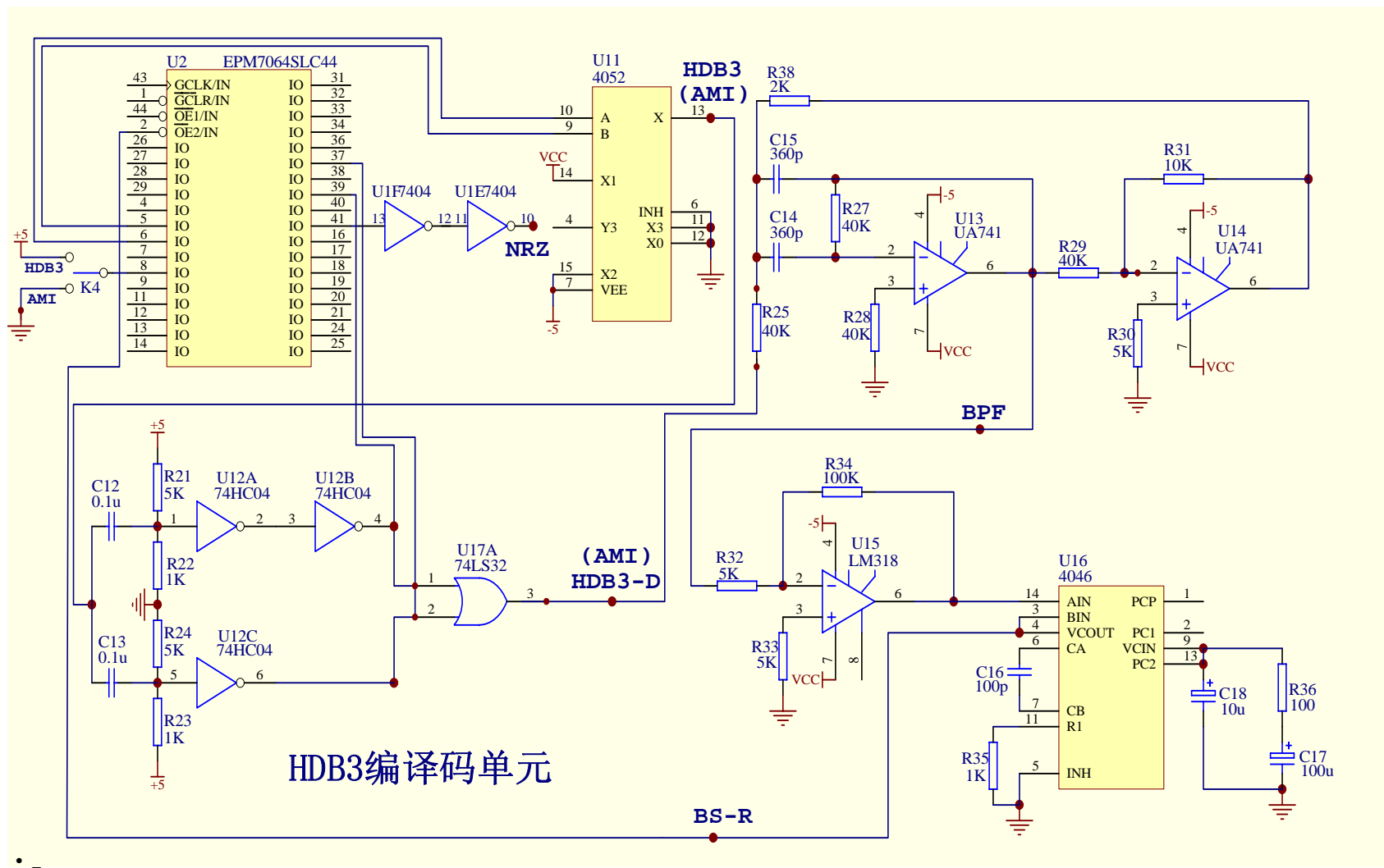


附录一 各单元电路原理图

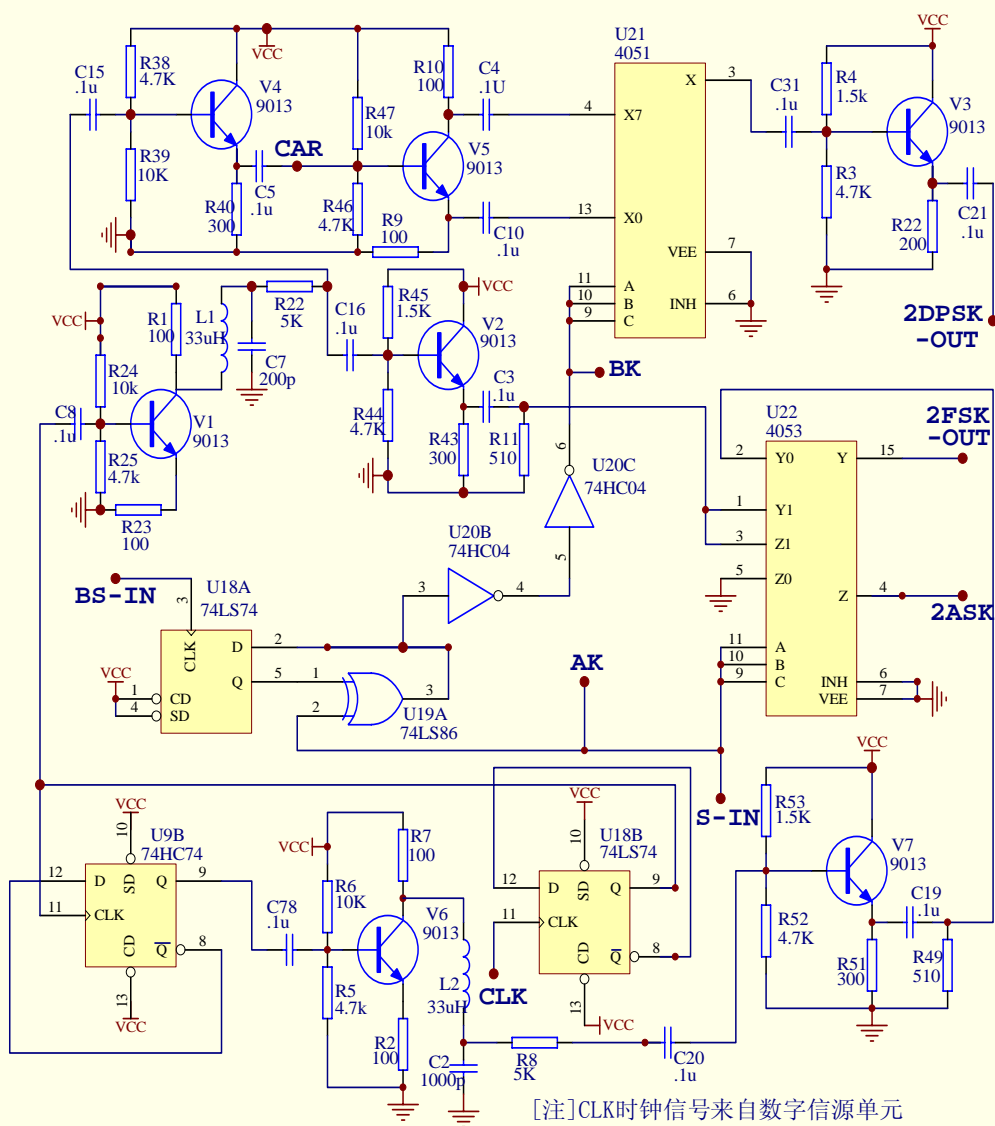
数字信源单元

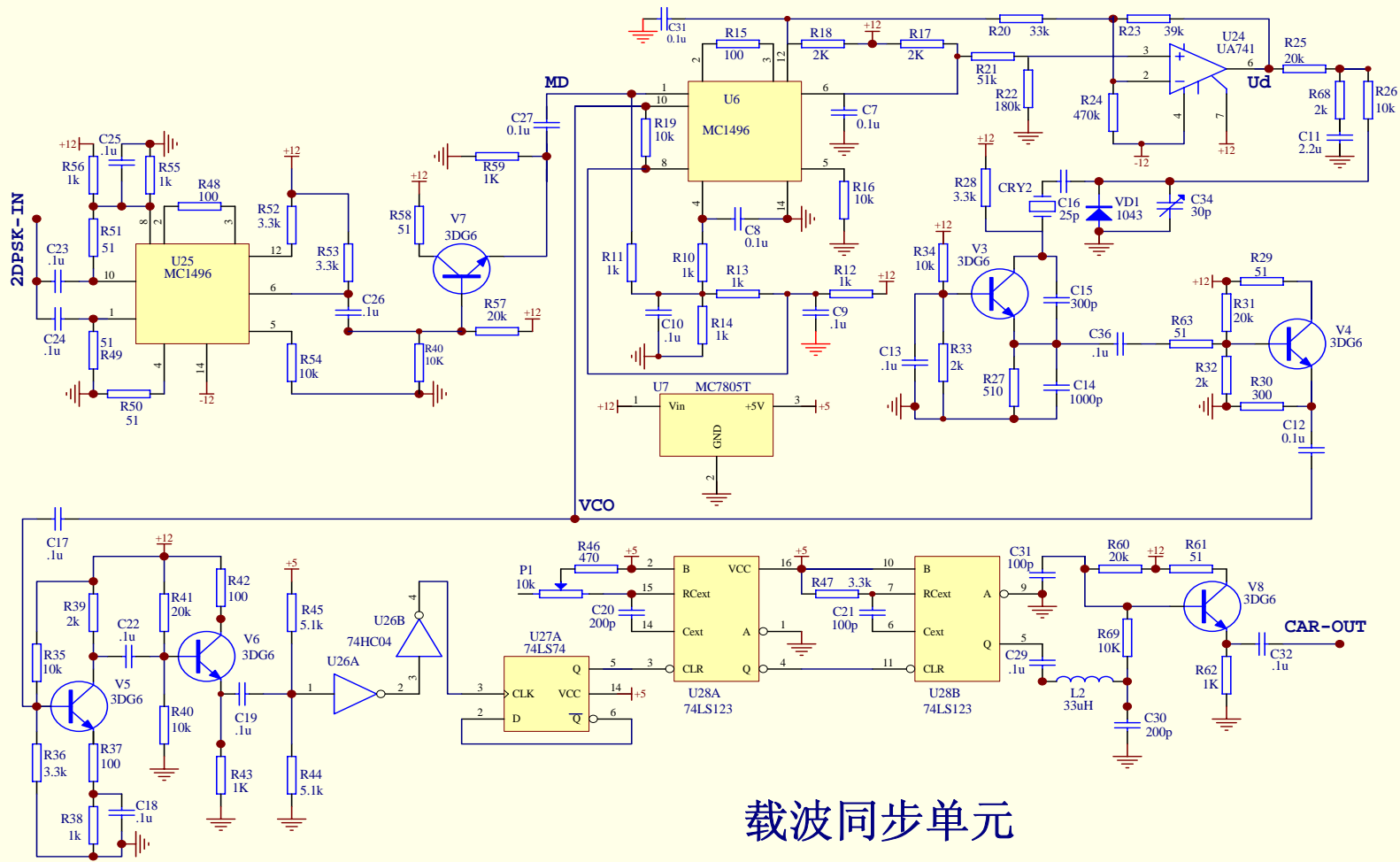




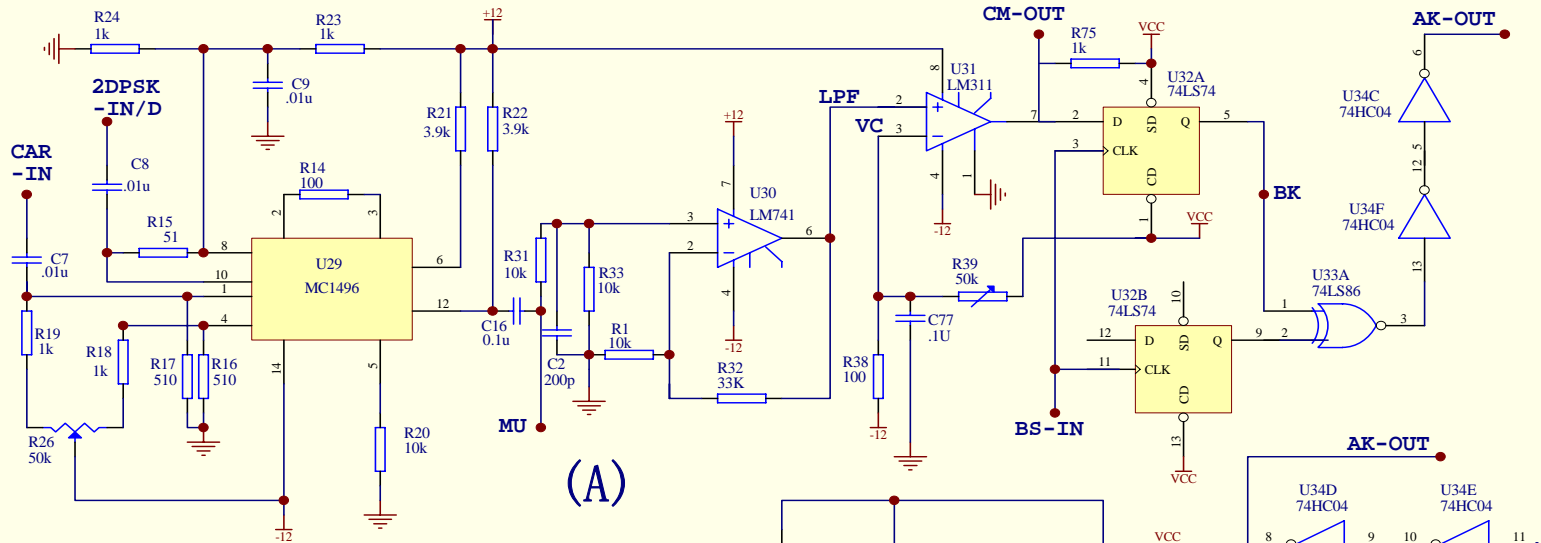
HDB3编译码单元

数字调制单元

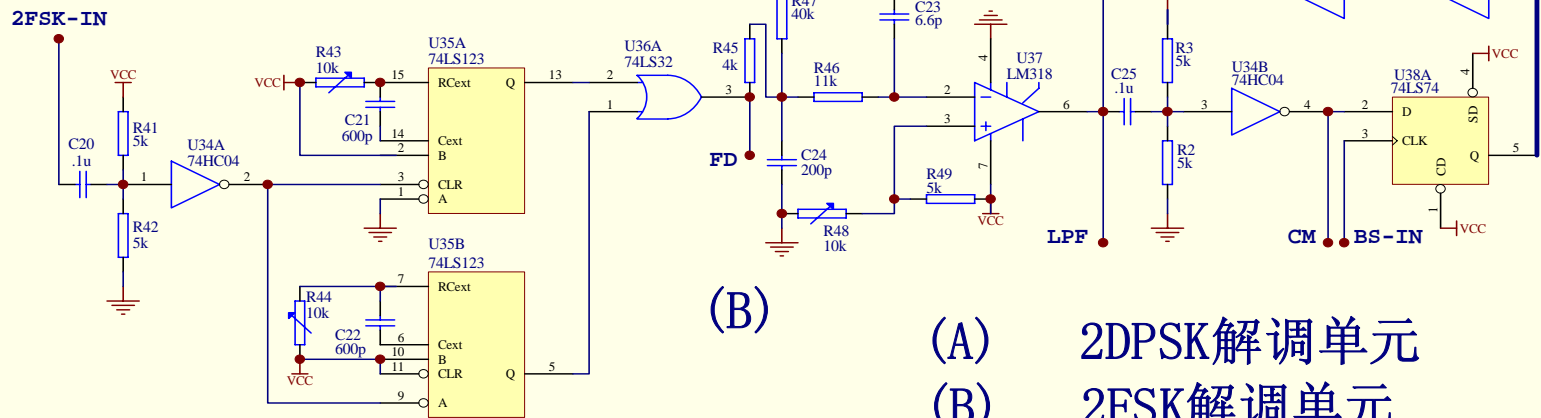




载波同步单元

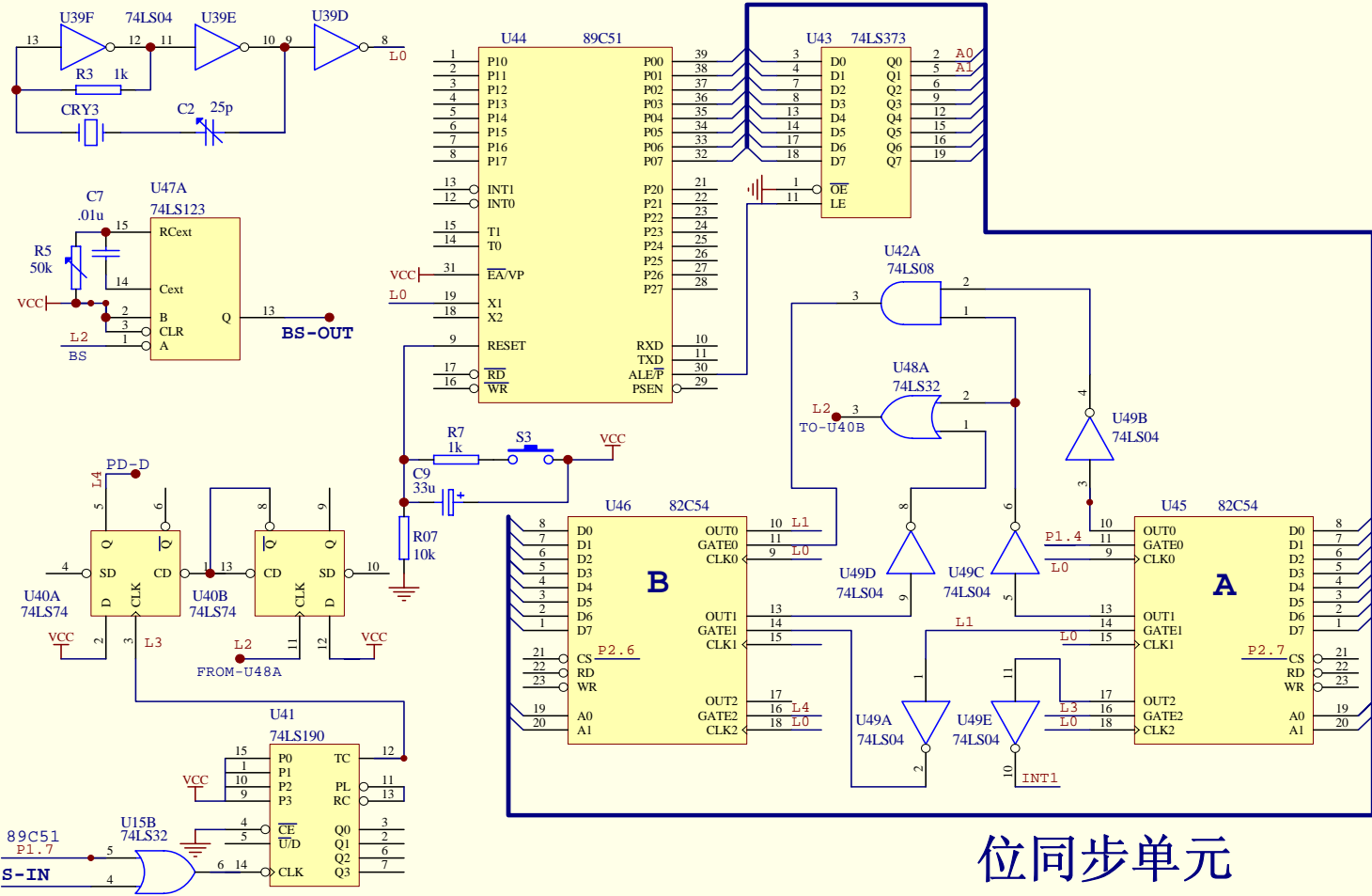


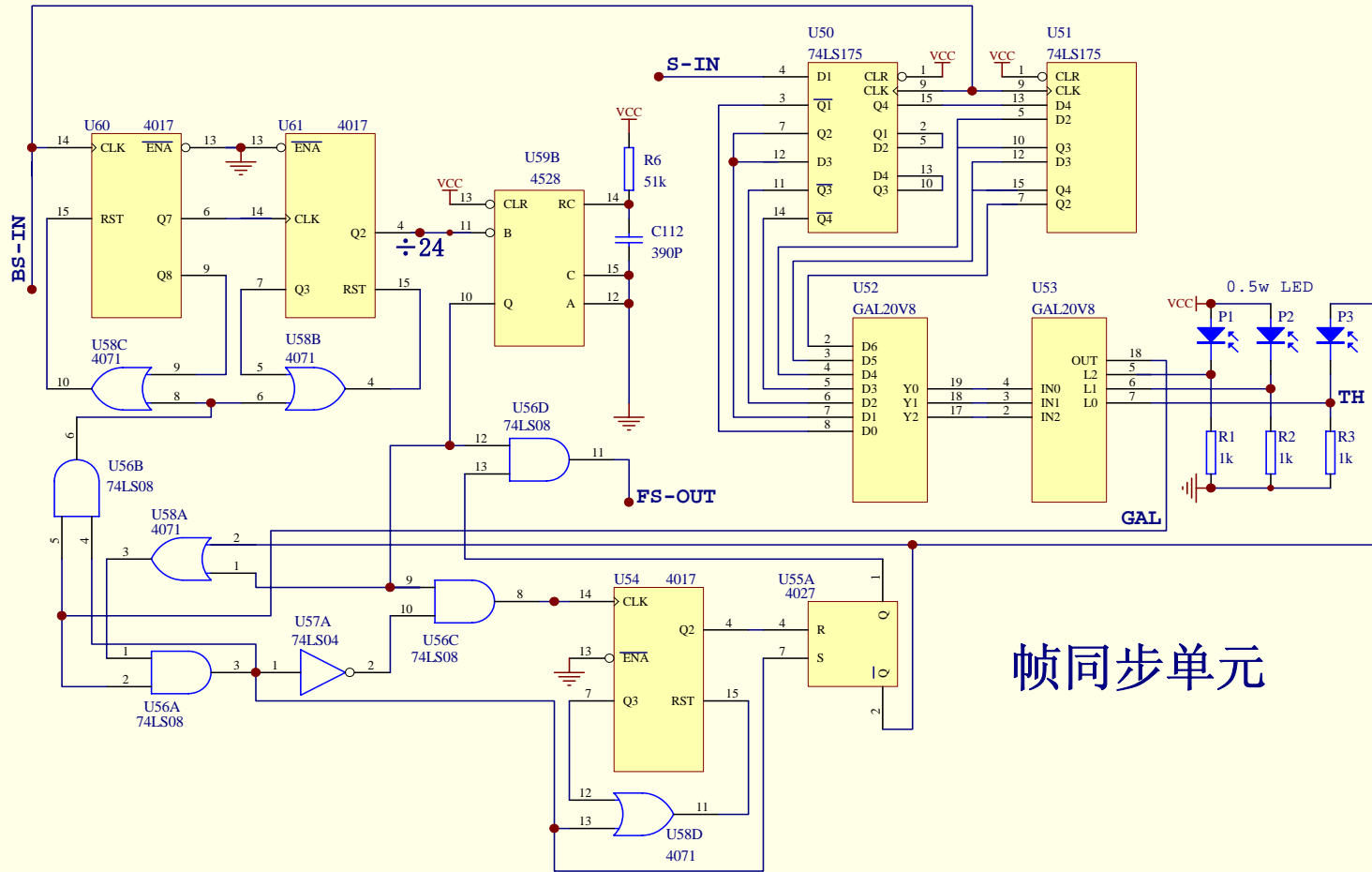
(A)



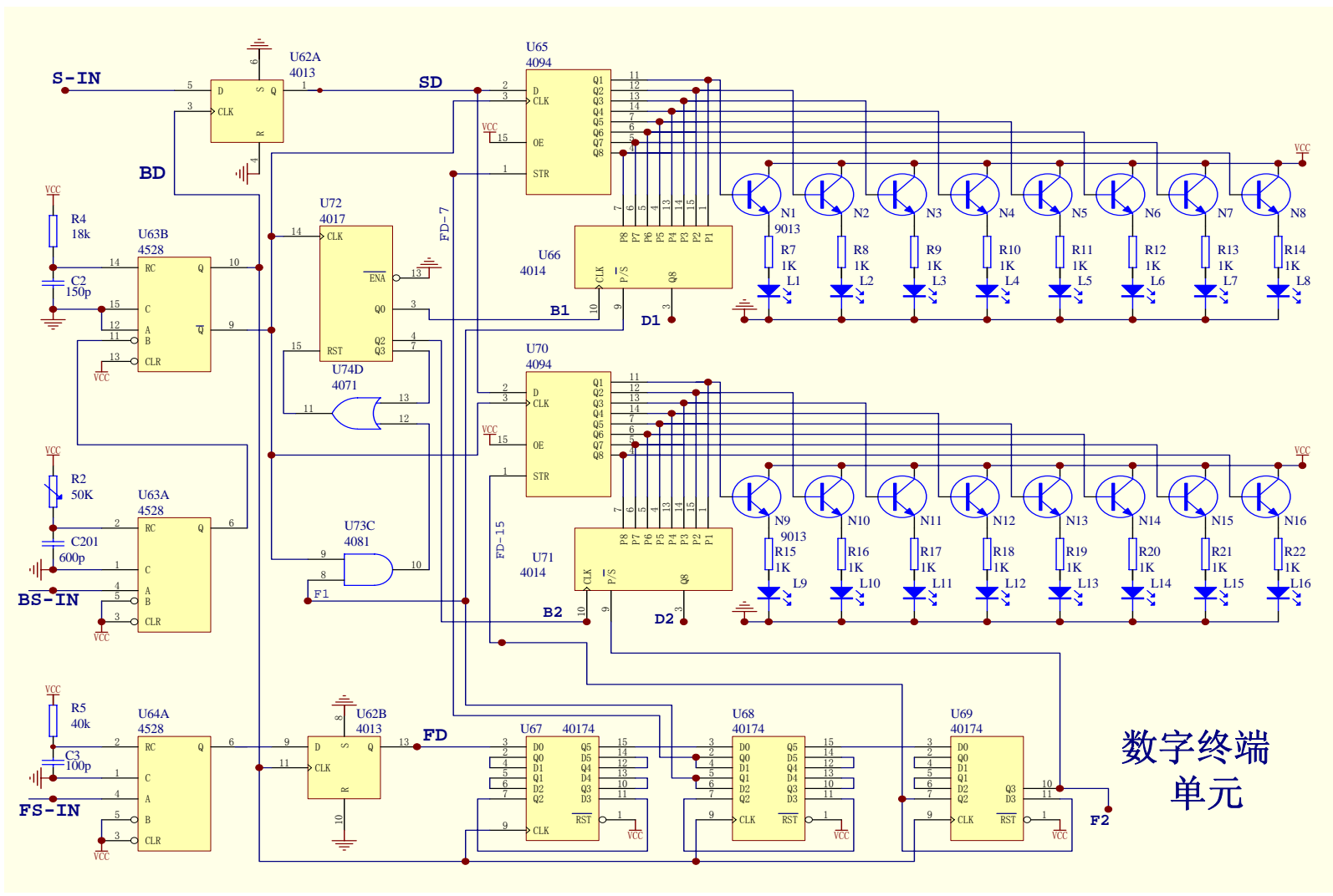
(B)

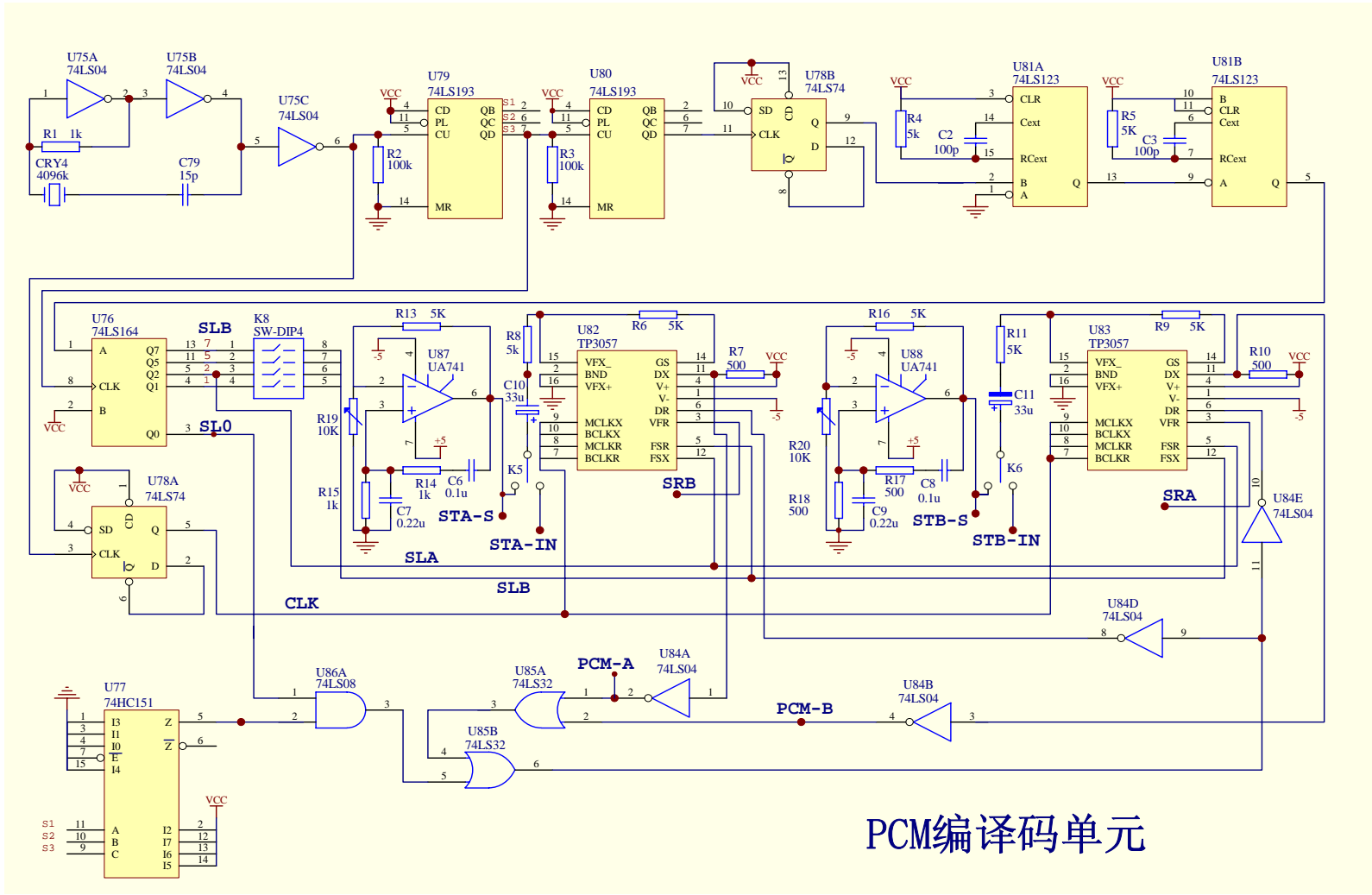
(A) 2DPSK解调单元
(B) 2FSK解调单元





帧同步单元

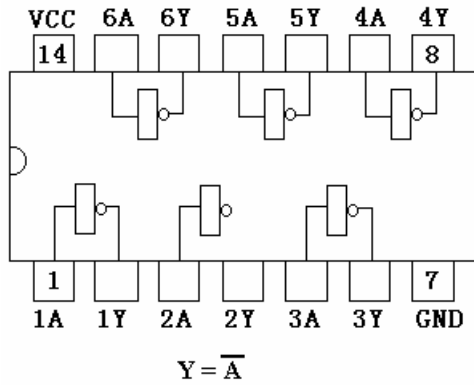




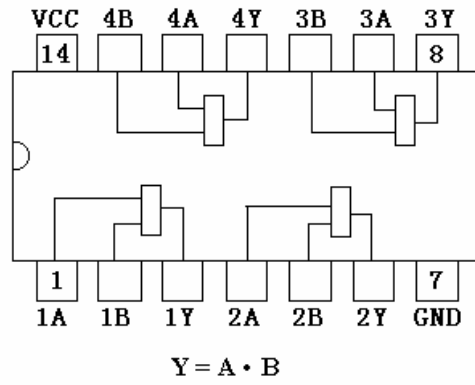
PCM编译码单元

附录二 主要集成电路芯片真值表和封装

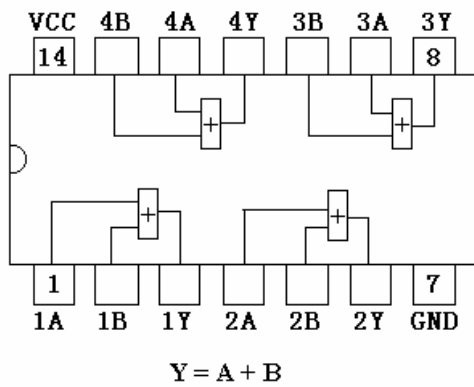
74LS04(74HC04) 六反相器



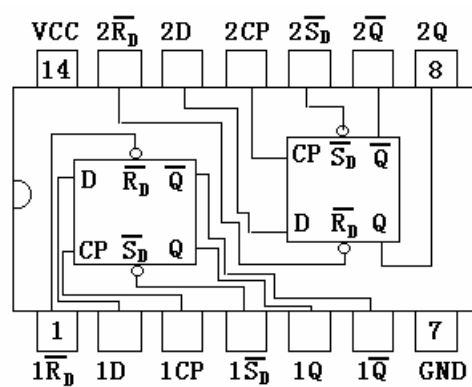
74LS08 四组 2 输入与门



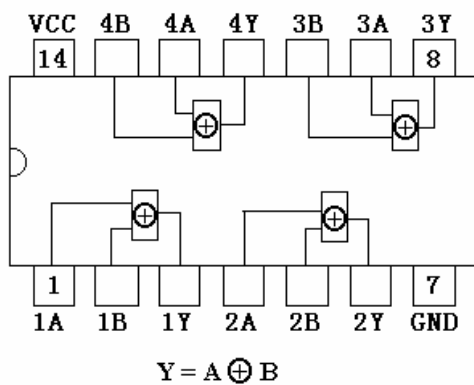
74LS32 四 2 输入或门



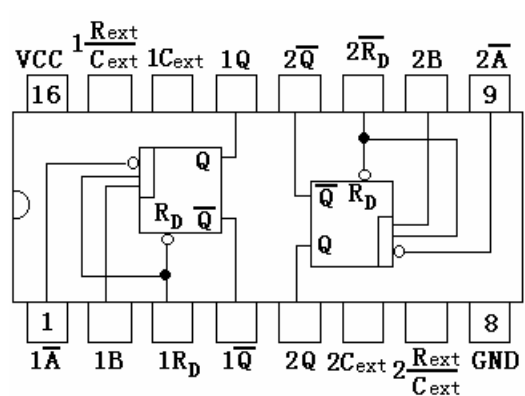
74LS74 双上升沿 D 触发器(带置位/复位)



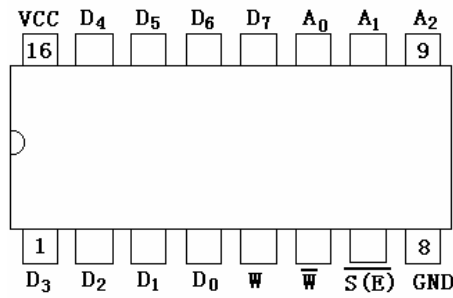
74LS86 四 2 输入异或门



74LS123 双可重触发单稳态触发器(带清除端)



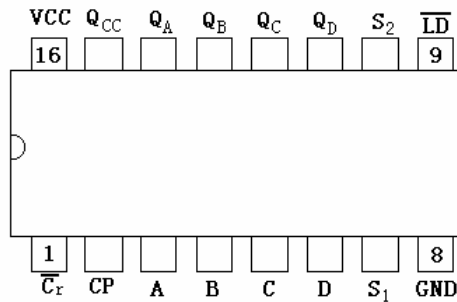
74LS151 八选一数据选择器(有选通输入端, 互补输出)



真值表(H:高电平, L:低电平, X:任意)

A2	输 A1	入 A0	S(E)	输 W	出 W
X	X	X	H	L	H
L	L	L	L	$\overline{D_0}$	D ₀
L	L	H	L	$\overline{D_1}$	D ₁
L	H	L	L	$\overline{D_2}$	D ₂
L	H	H	L	$\overline{D_3}$	D ₃
H	L	L	L	$\overline{D_4}$	D ₄
H	L	H	L	$\overline{D_5}$	D ₅
H	H	L	L	$\overline{D_6}$	D ₆
H	H	H	L	$\overline{D_7}$	D ₇

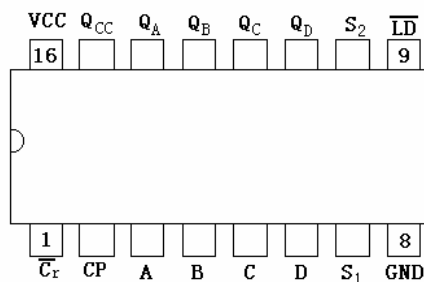
74LS160 十进制同步计数器(异步清除)



真值表(H:高电平, L:低电平, ↑:上升沿, X:任意, d₀~d₃:A~D稳态输入电平)

		输 入								输 出			
\overline{Cr}	LD	S ₁	S ₂	CP	A	B	C	D	Q _A	Q _B	Q _C	Q _D	
L	X	X	X	X	X	X	X	X	L	L	L	L	
H	L	X	X	↑	d ₀	d ₁	d ₂	d ₃	d ₀	d ₁	d ₂	d ₃	
H	H	H	H	↑	X	X	X	X	计 数				
H	H	L	X	X	X	X	X	X	保 持				
H	H	X	L	X	X	X	X	X	保 持				

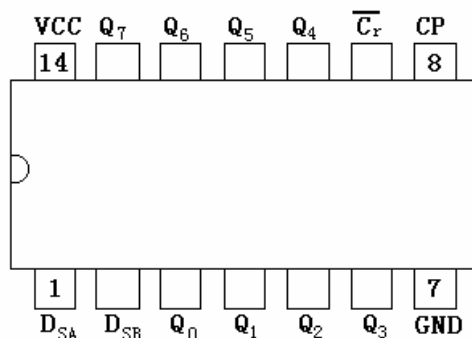
74LS161 四位二进制同步计数器(异步清除)



真值表(H:高电平, L:低电平, ↑:上升沿, X:任意, $d_0 \sim d_3$: A~D 稳态输入电平)

$\overline{C_r}$	输 入								输 出			
	LD	S_1	S_2	CP	A	B	C	D	Q_A	Q_B	Q_C	Q_D
L	X	X	X	X	X	X	X	X	L	L	L	L
H	L	X	X	↑	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
H	H	H	H	↑	X	X	X	X	计 数			
H	H	L	X	X	X	X	X	X	保 持			
H	H	X	L	X	X	X	X	X	保 持			

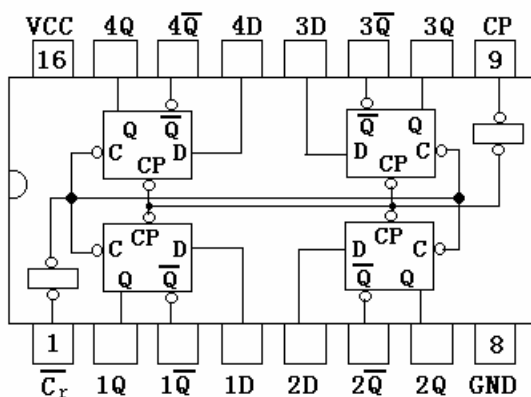
74LS164 八位移位寄存器(串行输入,并行输出)



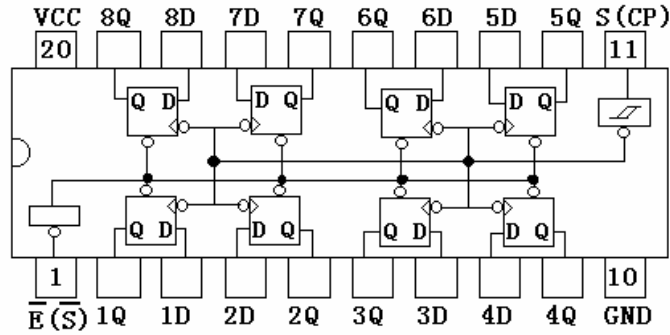
真值表(↑:上升沿, $Q_{00} \sim Q_{70}$: 规定的稳态输入条件建立前 $Q_0 \sim Q_7$ 的电平, $Q_{0n} \sim Q_{6n}$: 时钟最近的↑前 $Q_0 \sim Q_6$ 的电平)

$\overline{C_r}$	输 入			输 出			
	CP	D_{SA}	D_{SB}	Q_0	Q_1	Q_7
L	X	X	X	L	L	L
H	L	X	X	Q_{00}	Q_{10}	Q_{70}
H	↑	H	H	H	Q_{0n}	Q_{6n}
H	↑	L	X	L	Q_{0n}	Q_{6n}
H	↑	X	L	L	Q_{0n}	Q_{6n}

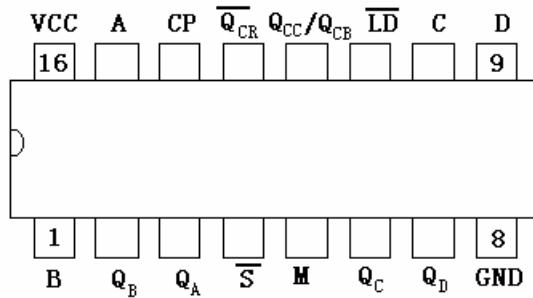
74LS175 四上升沿 D 触发器(有公共清除端)



74LS373 八 D 锁存器(三态输出,锁存允许输入有回环特性)



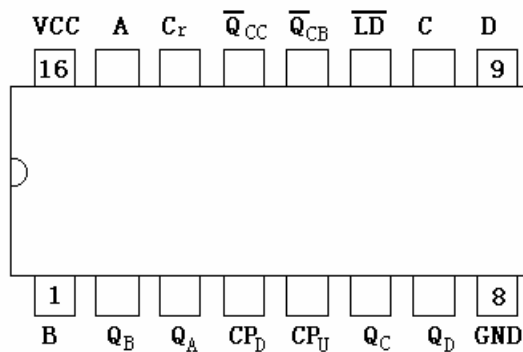
74LS190 十进制同步加/减计数器



真值表(↑:上升沿, $d_0 \sim d_3$: A~D 稳态输入电平, \square : 一个低电平脉冲)

输入								输出				输入			输出
\overline{LD}	\overline{S}	M	CP	A	B	C	D	Q_A	Q_B	Q_C	Q_D	\overline{S}	Q_{CC}/Q_{CB}	CP	$\overline{Q_{CR}}$
L	X	X	X	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3	L	H	\square	\square
H	L	L	↑	X	X	X	X	加 计 数				H	X	X	H
H	L	H	↑	X	X	X	X	减 计 数				X	L	X	H
H	H	X	X	X	X	X	X	保 持							

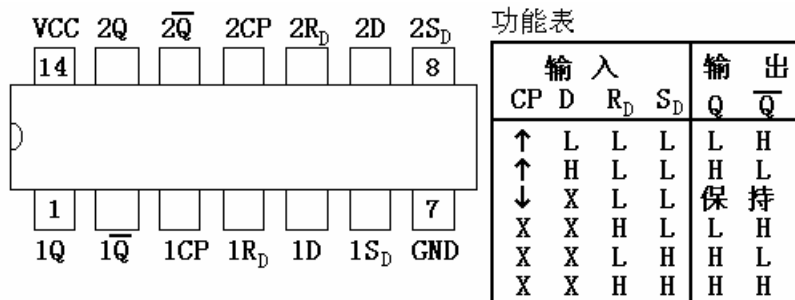
74LS193 四位二进制同步加/减计数器(双时钟)



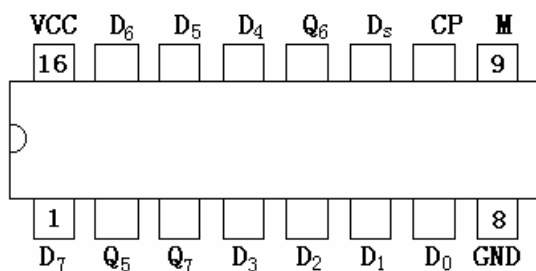
真值表(↑:上升沿, $d_0 \sim d_3$: A~D 稳态输入电平)

输入								输出			
C_r	\overline{LD}	CP_U	CP_D	A	B	C	D	Q_A	Q_B	Q_C	Q_D
H	X	X	X	X	X	X	X	L	L	L	L
L	L	X	X	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
L	H	↑	H	X	X	X	X	加 计 数			
L	H	H	↑	X	X	X	X	减 计 数			
L	H	H	H	X	X	X	X	保 持			

4013 双上升沿 D 触发器



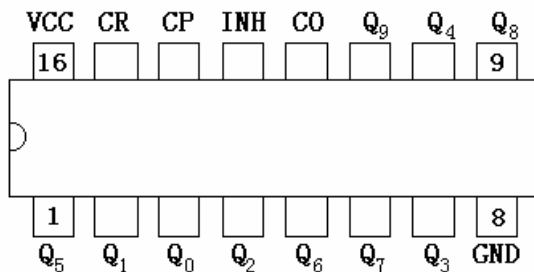
4014(4021) 八位移位寄存器



功能表

CP	输入				输出		功能
	D _s	M	D ₀	D ₇	Q ₀ (内部)	Q ₇	
↑	X	H	L	L	L	L	并行送数
↑	X	H	H	L	H	L	
↑	X	H	L	H	L	H	
↑	X	H	H	H	H	H	右移
↑	L	L	X	X	L	Q _{6n}	
↑	H	L	X	X	H	Q _{6n}	保持
↓	X	X	X	X	Q _{0n}	Q _{7n}	

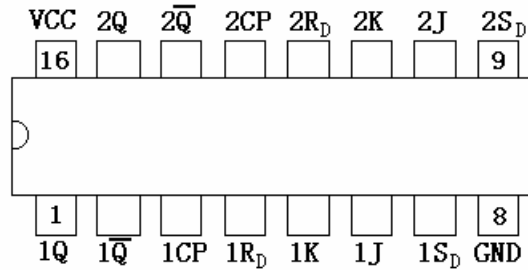
4017 十进制计数器/脉冲分配器



功能表

输入			输出	
CP	INH	CR	Q ₀ ~Q ₉	CO
X	X	H	Q ₀	计数脉冲为 Q ₀ ~Q ₄ 时: CO=H
↑	L	L	计数	
H	↓	L	保	
L	X	L	持	计数脉冲为 Q ₅ ~Q ₉ 时: CO=L
X	H	L		
↓	X	L		
X	↑	L		

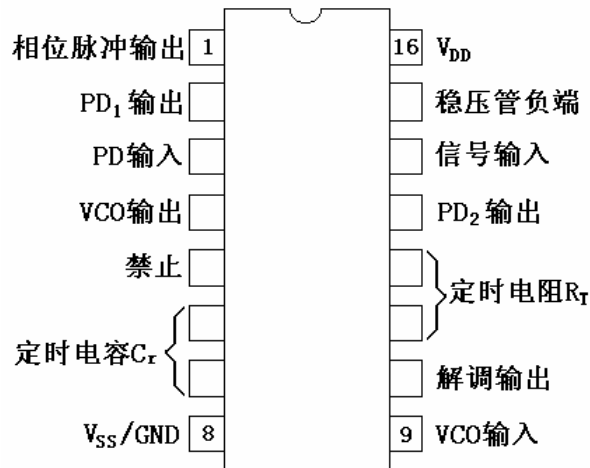
4027 双上升沿 J-K 触发器



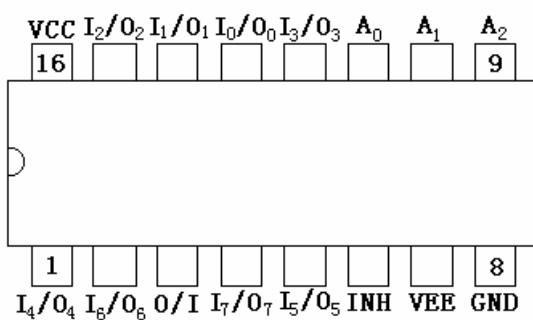
功能表

CP	输 入 J	输 入 K	输 入 S _D	输 入 R _D	输 出 Q	输 出 Q _̄
↑	H	L	L	L	H	L
↑	H	H	L	L	翻	转
↑	L	H	L	L	L	H
↑	L	L	L	L	保	持
↓	X	X	L	L	保	持
X	X	X	H	L	H	L
X	X	X	L	H	L	H
X	X	X	H	H	H	H

4046 数字锁相环



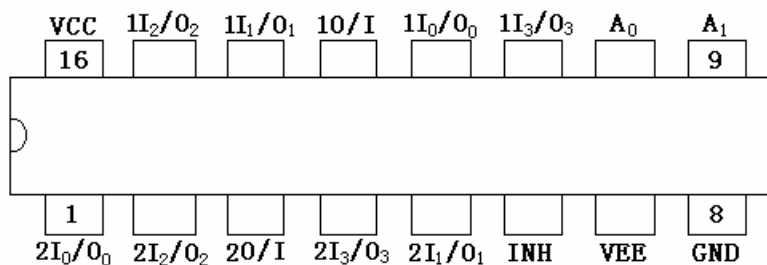
4051 八选一模拟开关



功能表

INH	输入 A ₂	输入 A ₁	输入 A ₀	被选 通道
L	L	L	L	I ₀ /O ₀
L	L	L	H	I ₁ /O ₁
L	L	H	L	I ₂ /O ₂
L	L	H	H	I ₃ /O ₃
L	H	L	L	I ₄ /O ₄
L	H	L	H	I ₅ /O ₅
L	H	H	L	I ₆ /O ₆
L	H	H	H	I ₇ /O ₇
H	X	X	X	无

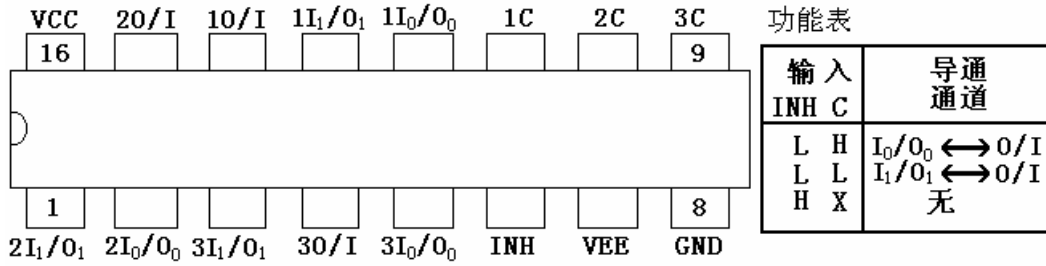
4052 双四选一模拟开关



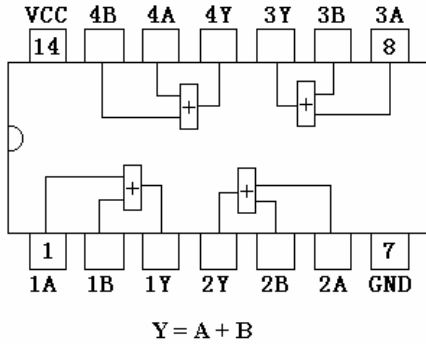
功能表

INH	输入		导通 通道
	A ₁	A ₀	
L	L	L	I ₀ /O ₀ ↔ O/I
L	L	H	I ₁ /O ₁ ↔ O/I
L	H	L	I ₂ /O ₂ ↔ O/I
L	H	H	I ₃ /O ₃ ↔ O/I
H	X	X	无

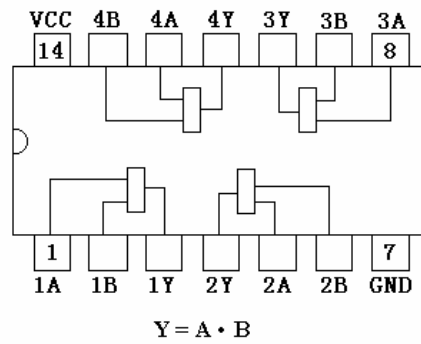
4053 三 2 选一模拟开关



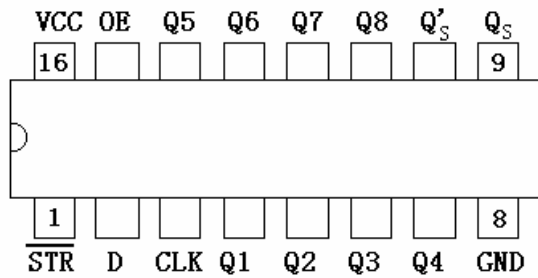
4071 四 2 输入或门



4081 四 2 输入与门



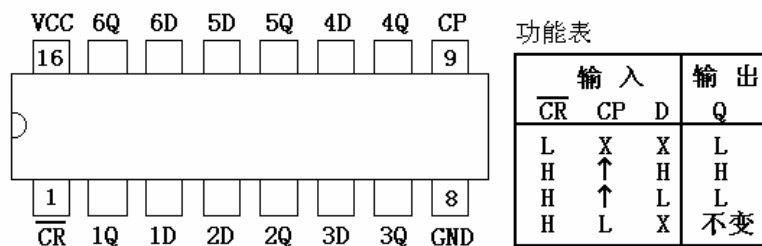
4094 八位移位存储总线寄存器



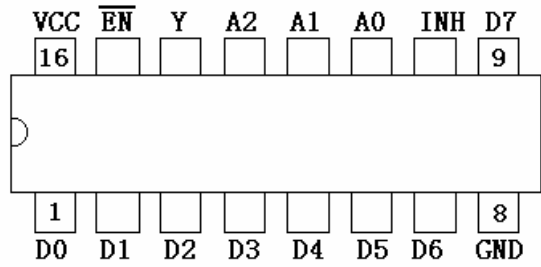
功能表

CLK	输 入 OE	入 STR	D	并行 输出 Q1 Qn	串行 输出 Q's Qs
↑	L	X	X	高阻 高阻	D7 不变
↓	L	X	X	高阻 高阻	不变 D8
↑	H	L	X	保持 保持	D7 不变
↑	H	H	L	L Q _{n-1}	D7 不变
↑	H	H	H	H Q _{n-1}	D7 不变
↓	H	H	H	保持 保持	不变 D8

40174 六上升沿 D 触发器



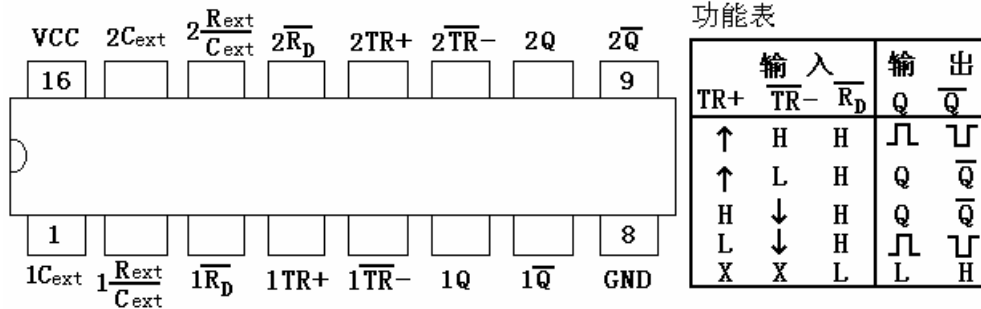
4512 八选一数据选择器(三态)



功能表

$\overline{\text{EN}}$	输入 INH	A2	A1	A0	输出 Y
L	L	L	L	L	D0
L	L	L	L	H	D1
L	L	L	H	L	D2
L	L	L	H	H	D3
L	L	H	L	L	D4
L	L	H	L	H	D5
L	L	H	H	L	D6
L	L	H	H	H	D7
H	X	X	X	X	Z
L	H	X	X	X	L

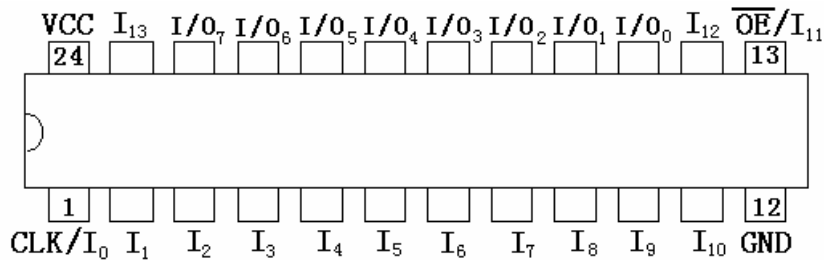
4528 双可重触发单稳态触发器



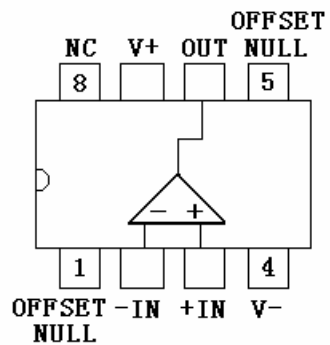
功能表

TR+	输入		输出	
	TR-	R _D	Q	Q _{bar}
↑	H	H	⌋	⌋
↑	L	H	Q	Q _{bar}
H	↓	H	Q	Q _{bar}
L	↓	H	⌋	⌋
X	X	L	L	H

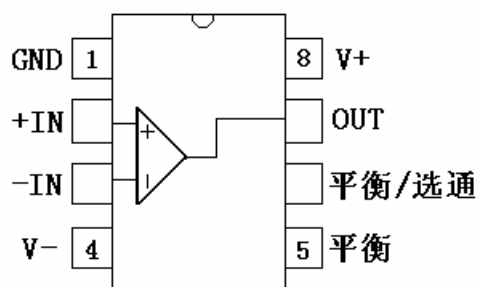
GAL20V8 可重编程通用阵列逻辑器件



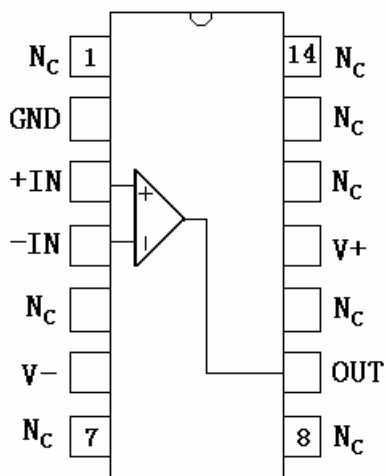
UA741(LM318) 高增益运算放大器



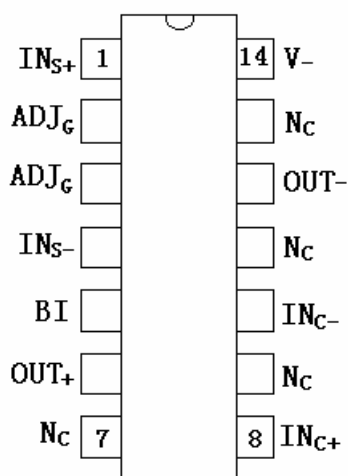
LM311 电压比较器



LM710 电压比较器



1496 平衡调制/解调器



附录三 信源及HDB₃编译码模块中的EPLD功能说明

信源部分的分频器、三选一、倒相器、抽样以及(AMI)HDB₃编译码专用集成芯片 CD22103 等电路的功能可以用一片 EPLD (电可擦除可编程逻辑器件) 全部完成。我们选用了 Altera 公司生产的 EPM7064, 其封装及引脚定义如下图所示。

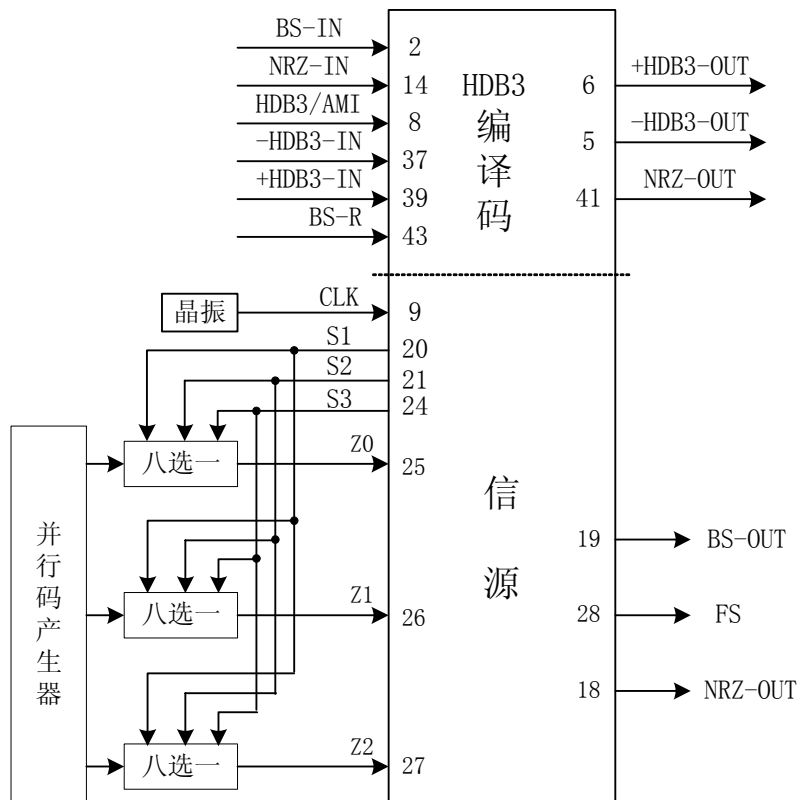


图 14-1 EPM7064 引脚定义图

信源部分引脚说明:

- | | |
|--------------|------------------------------------|
| (1) CLK | 信源部分时钟输入端。 |
| (2) S1、S2、S3 | 3 个选通信号，频率分别为位同步信号的 1/2、1/4 和 1/8。 |
| (3) Z0、Z1、Z2 | 八选一的输出信号。 |
| (4) NRZ-OUT | NRZ 信号输出端。 |
| (5) FS | 帧同步信号输出端。 |
| (6) BS-OUT | 位同步信号输出端。 |

信源部分完成实验指导书中分频器、三选一、倒相器和抽样的功能。

HDB₃ 编译码部分引脚说明:

- | | |
|---------------|---|
| (1) NRZ-IN | 编码器 NRZ 信号输入端。 |
| (2) BS-IN | 编码时钟 (位同步信号) 输入端。 |
| (3) HDB3/AMI | 码型选择端，接高点平时选择 HDB ₃ 码；接低点平时选择 AMI 码 (由拨动开关控制)。 |
| (4) +HDB3-OUT | HDB ₃ 编码器正码输出端。 |
| (5) -HDB3-OUT | HDB ₃ 编码器负码输出端。 |
| (6) +HDB3-IN | HDB ₃ 译码器正码输入端。 |
| (7) -HDB3-IN | HDB ₃ 译码器负码输入端。 |
| (8) BS-R | 译码时钟 (位同步信号) 输入端。 |
| (9) NRZ | HDB ₃ 译码后信码输出端。 |

HDB₃ 编译码部分完成 (AMI)HDB₃ 编译码专用集成芯片 CD22103 的功能。

参考文献

1. 樊昌信等. 通信原理. 北京: 国际工业出版社. 1995
2. 曹志刚, 钱亚生. 现代通信原理. 北京: 清华大学出版社. 1992
3. 王福昌, 鲁昆生. 锁相技术. 武汉: 华中理工大学出版社. 1997
4. 王福昌, 凌重华. 一种快速捕获数字锁相环位同步器.
无线电通信技术. 1996, 22 (3): 24 ~ 28
5. 何大可, 王福昌. 激光通信数字环时隙同步器环路滤波器设计.
华中理工大学学报. 1996, 24 (10): 62 ~ 65
6. 陈光东, 赵性初. 单片微型计算机原理与接口技术.
武汉: 华中理工大学出版社. 1995
7. 北京理工大学 ASIC 研究所. VHDL 语言 100 例详解.
清华大学出版社. 1999